

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

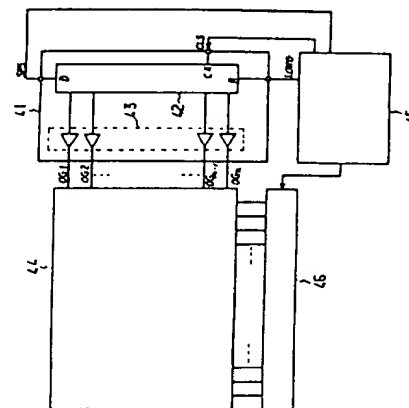
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(54) DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

(11) 4-204993 (A) (43) 27.7.1992 (19) JP
 (21) Appl. No. 2-340163 (22) 30.11.1990
 (71) SHARP CORP (72) MANABU TANAKA(2)
 (51) Int. Cl.⁵ G09G3/36, G09G3/00, G09G3/20

PURPOSE: To prevent the deterioration of the liquid crystal material of an active matrix type liquid crystal display device by halting the generation of scanning pulses for a prescribed period of time after the input of a power source.

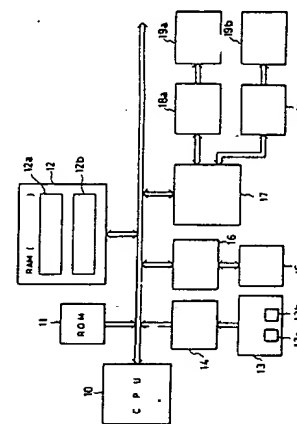
CONSTITUTION: The output signal of a power source circuit is raised to a high level by input of the power source. A control circuit 45 generates a control signal LOWQ of a high level when the output signal rises to the high level. The signal LOWQ resets a shift register 42. The output of the register 42 falls to a low level and the scanning pulses fall to the low level as well in the reset state. Then, the switching elements connected to line electrodes OG 1 to OG n for scanning turn off and voltages are not impressed to display picture elements even if the outputs are emitted from a row electrode driving circuit 46. The circuit 45 turns the signal LOWQ to the low level and the register 42 generates the scanning signal of the high level in response with a start pulse SPS and a clock signal CLS upon lapse of the prescribed period of time. The switching elements connected to the line electrodes OG 1 are thus successively turned on.

**(54) COMPUTER SYSTEM**

(11) 4-204994 (A) (43) 27.7.1992 (19) JP
 (21) Appl. No. 2-340233 (22) 30.11.1990
 (71) TOSHIBA CORP (72) KATSUMI SASAKI
 (51) Int. Cl.⁵ G09G5/00, G06F1/00, G06F1/16

PURPOSE: To allow the simultaneous checking of even plural screens which are approximately equal in information quantity by providing the plural independent display screens and controlling the changeover of the respective display screens and the updating of display data.

CONSTITUTION: A display controller 17 uses a display 19a as a main screen and stores the data of the table type obtd. by data processing of a CPU 10 into a buffer memory 18a. On the other hand, a display 19b is used as a reference screen and the controller 17 stores the graph data obtd. from the data of the table type of, for example, the main screen into a buffer memory 18b by the control of a CPU 10. A changeover switch 13a is then operated to change over the display of the graph data displayed on, for example, the display 19b to the main screen of the display 19a. The table type data of, for example, the display 19a is updated by operating an updating key 13b. The display graph data of the display 19b is simultaneously updated in accordance with the updating content of the main screen.



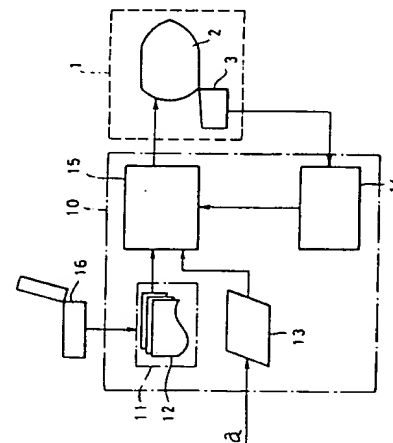
12: RAM (main memory), 13: keyboard, 14: keyboard controller, 15: disk drive, 16: disk controller, 12a: buffer administration table, 12b: image administration table

(54) METER PATTERN DISPLAY DEVICE

(11) 4-204995 (A) (43) 27.7.1992 (19) JP
 (21) Appl. No. 2-340301 (22) 30.11.1990
 (71) TOSHIBA CORP (72) MASATO FUJIWARA
 (51) Int. Cl.⁵ G09G5/00, G01D7/00

PURPOSE: To allow the easy change of the form of meter patterns without changing logics by breaking down and registering the patterns of the various meters displayed on the display of a man-machine interface to plural display elements.

CONSTITUTION: A meter pattern display request task section 14 sends a tag number, the number of a meter pattern registration table and the display position on a CRT to a meter pattern display forming section 15 by the start command of a key input. The display forming section 15 reads out the respective display elements by retrieving the registration table 12, reads input/output data out of a data storage section 13 by the tag number and sends the data to a station 1. A meter pattern registration device 16 connected to a meter pattern display processor 10 changes, deletes and adds the registration contents of the respective display elements registered in the registration table 12 by the change tool to be exclusively used for registration.



a: input/output data, etc.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-204993

⑬ Int. Cl.⁹

G 09 G 3/36
3/00
3/20

識別記号

J
J
R

庁内整理番号

7926-5G
9176-5G
9176-5G
9176-5G

⑭ 公開 平成4年(1992)7月27日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 表示装置の駆動回路

⑯ 特 願 平2-340163

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 田 中 学 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内
⑱ 発 明 者 水 方 勝 哉 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内
⑱ 発 明 者 竹 田 信 大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社
内
⑲ 出 願 人 シヤープ株式会社 大阪府大阪市阿倍野区長池町22番22号
⑳ 代 理 人 弁理士 梅 田 勝 外2名

明 細 書

1. 発明の名称

表示装置の駆動回路

2. 特許請求の範囲

1. 複数の行電極と複数の列電極の各交点の近傍にスイッチング素子を付加した表示パネルとスイッチング素子を配置されている表示検索と、上記行電極に選択状態にするための走査パルスを送次供給する行電極駆動回路と、上記走査パルスと同期して表示すべき表示検索の表示内容に対応する信号を上記列電極に供給する列電極駆動回路を有し、上記走査パルスと上記信号に關連して表示検索に表示させるようにした表示装置の駆動回路において、

電源投入時より所定時間上記走査パルスの発生を休止させる手段を設けたことを特徴とする表示装置の駆動回路。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は表示装置の駆動回路、例えば液晶表示

装置の駆動回路に関するものである。以下では、マトリクス型液晶表示装置を表示装置の例にとって説明を行うが、本発明は他の種類の表示装置、例えばEL(エレクトロルミネッセンス)表示装置、プラズマディスプレイ等の駆動回路にも適用可能である。

<従来の技術>

表示装置としては液晶表示装置が小型軽量であることもあって広く用いられるようになりつつある。とりわけ、マトリクス型液晶表示装置は表示検索にスイッチング素子例えばスイッチングトランジスタを付加しており、該トランジスタのスイッチング作用により表示検索を送次選択(走査)し、表示データに關連した電圧を導き込み(印加)し表示を得るものである。このようなアクティブマトリクス型液晶表示装置は、高コントラストで微妙な階調表示が可能な表示装置としてポータブルテレビジョン受像機やビデオテープレコーダのモニター等に使用されている。

第5図は従来のマトリクス型液晶表示装置の表示パネルの等価回路⁵の一例を示し、第6図は当該液晶表示装置の駆動信号の一例を示すタイミングチャートであり、第7図は当該駆動信号を発生するための駆動回路の一例を示す。

アクティブマトリクス型液晶表示装置の表示パネル1においては、第5図に示すように、複数の行電極11と複数の列電極12の各交点の近傍に表示像素が行列状に配置されている。各表示像素18がスイッチングトランジスタ例えば薄膜トランジスタ14のドレインに接続され、該トランジスタ14はゲート端子、ソース端子がそれぞれ行電極11、列電極12に接続されている。この行電極11に適当な電圧 V_{ON} を印加してトランジスタ14をオン状態とすることにより、その間、列電極12に印加されている電圧が表示像素18に書き込むことができ、その動作を、第2図を参照しながら説明する。

第6図において、 $G_1 \sim G_5$ は行電極11の1行目⁵～5行目に印加される信号を示し、 S_i は列

電極12のi列目に印加される信号を示し、 $v_1 \sim v_5$ はi列目の列電極のそれぞれに接続されたトランジスタ14を通して像素に書き込まれるべき電圧である。なお、これらの図においては、行電極11、列電極12が⁵本の場合を示したが、更に多数の場合も同様に適用できるのは言うまでもない。

上記行電極11の1行目に、第6図に示すような信号 G_1 を印加してトランジスタ14をオン状態にする。このとき各列電極12には表示すべき電圧が印加される。これにより、1行目の表示像素18は各列電極12に印加されている電圧に対応する表示を行う。例えば、1行i列目の表示像素18は電圧 v_i が印加され、これに応じた表示を行なう。

この後、上記行電極11の2行目から5行目に順次信号 G_2 から G_5 を印加すると共にこれに同期的に各列電極12に表示すべき電圧を印加することにより、2行目から⁵行目の表示像素18が表示し、一画面分の表示が終了する。

その後、再び行電極11の1行目から⁵行目に順次信号 G_1 から G_5 が印加される。このような走査が期間V毎に繰り返される。

ここで、1行目の行電極11に接続されたトランジスタ14に着目すると、該トランジスタ14が信号 G_1 により期間 T_1 がオン状態になるとその間列電極18例えばi列目の列電極18では電圧 v_i が表示像素に書き込まれ、期間 T_1 後の期間 $T_1' \sim T_2$ では該トランジスタ14がオフ状態となるため書き込まれた電圧 v_i は表示像素の液晶容量に保持される。その後、期間 T_1' に再び当該トランジスタがオン状態となり、表示像素例えば1行i列目の表示像素には電圧 $-v_i$ が書き込まれ、そして期間 $T_1' \sim T_2$ の間保存される。当該表示像素には結果として信号 v_{i1} に示すように振巾 v_i の交流矩形波電圧が印加されることになる。ここで、信号 S_i は、表示像素に交流が印加されるように期間V毎に電圧の極性が反転されるようにしている。なお、この表示像素は像素電極と液晶層を介して対面している対向電極(図

示していない)が存在しており、この像素電極と対向電極と、それらの間に介在する液晶とで電気的容量が形成され、更に必要に応じ像素電極と対向電極間に付加的に容量が設けられる。

このような表示動作を実現するための従来の表示装置の駆動回路の一例について説明する。

第7図において、81は行電極11に接続されてなり、上記 $G_1 \sim G_5$ のような信号(走査パルス)を印加するための行電極駆動回路であり、主としてシフトレジスタにより構成されている。82は上記列電極12に接続されてなり、上記 S_i のような信号を印加するための列電極駆動回路である。88は行電極駆動回路81、列電極駆動回路82に接続されてなり、これら回路81、82が $G_1 \sim G_5$ 、 S_i のような信号を発生するに必要な信号を、入力される基準信号 S_y をもとにして発生するための制御回路である。

<発明が解決しようとする課題>

上記の表示装置の駆動回路において、定常動作状態に至れば上記 $G_1 \sim G_5$ 、 S_i のような信号が

順調に供給される。しかしながら、電源投入時では、制御回路88は動作が不安定であって各回路81、82へ供給する信号も不安定な状態である。このとき行電極駆動回路81から走査パルスが出力されると、列電極駆動回路82に入力されている不安定な信号例えばビデオ信号が列電極駆動回路82から出力され、この出力が列電極12に印加されるため、当該出力が表示検査に印加され、保持される。

この不安定な信号は、正規のものとは比べて直流電圧のズレを起こしているため、液晶層に直流電圧が印加される。直流電圧が長時間例えば数十 μ sec液晶層に印加されると、液晶材料の性能を劣化させ、表示装置の寿命を短縮するという問題がある。

そこで、本発明はこのような問題を解決するために電源投入直後、表示検査に不安定な信号が印加されないようにした表示装置の駆動回路の提供を目的とする。

<課題を解決するための手段>

第1図は本発明の一実施例であるアクティブマトリクス型液晶表示装置の駆動回路のブロック図を示し、第2図はこの駆動回路の動作を説明する各部の信号の波形を示すタイミングチャートである。

第1図において、41は行電極駆動回路であって、シフトレジスタ42とその出力に接続されたバッファ43にて構成されている。このバッファ43の出力端子は表示パネル44の行電極OG₁、OG₂、…、OG_nに接続されている。この行電極OG₁～OG_nは上記行電極11に相当するものである。従って行電極OG₁、OG₂、…、OG_nは表示パネル1のスイッチング素子14のゲート端子に接続されているのに相当する。

このシフトレジスタ42はD端子、CK端子、RL端子がそれぞれ制御回路45に接続されている。この制御回路45には基準信号例えば複合同期信号(ビデオ信号と同期信号を含む)Syが入力されており、この入力に関連して行電極駆動回路用のスタートパルスSPS、クロックパルス

本発明は、複数の行電極と複数の列電極の各交点の近傍に配置されている表示検査と、上記行電極に選択状態にするための走査パルスを順次供給する行電極駆動回路と、上記走査パルスと同期して表示すべき表示検査の表示内容に対応する信号を上記列電極に供給する列電極駆動回路を有し、上記走査パルスと上記信号に関連して表示検査に表示させるようにした表示装置の駆動回路において、電源投入時より所定時間上記走査パルスの発生を休止させる手段を設けたことによって上記目的を達成する。

<作用>

本発明によれば、電源投入後、所定時間走査パルスの発生が休止されるために電源投入直後の不安定な信号が表示検査に印加されることがなくなる。この結果、電源投入直後の不安定な信号では正規な信号に比べて直流電圧のズレが生じているが、このようなズレに起因する直流電圧が表示検査に印加されることがなくなる。

<実施例>

CLS、制御信号Low Qを発生する。このスタートパルスSPS、クロックパルスCLS、制御信号Low QはそれぞれD端子、CK端子、RL端子に供給される。

この制御回路45の出力信号(ビデオ信号)が列電極駆動回路46に供給されるように構成されている。この列電極駆動回路の出力端子は表示パネル44の列電極に接続されている。この表示パネル44は上記表示パネル1に相当しており、当該出力端子は上記表示パネル1のスイッチング素子14のソース端子に接続されているのに相当する。

この実施例の動作を以下に第2図を参照しながら説明する。なお、第2図において、VSHは電源電圧の波形を示し、SG₁～SG_nは行電極OG₁～OG_nに供給される走査信号の波形を示し、Low Qは制御信号の波形を示し、CLSはクロックパルスの波形を示している。

表示装置には電源スイッチ(図示しない)が設けられており、t時点では当該スイッチをオン状態

にして電源投入すると、表示装置に含まれている電源回路、例えば安定化電源回路の出力として信号VSHが高レベルになる。制御回路45は信号VSHが高レベルになった時から制御信号LowQとして高レベルの出力を発生する。この高レベルの制御信号LowQがシフトレジスタ42に入力され、シフトレジスタ42はリセットされる。このリセット状態は制御信号LowQが高レベルの間継続する。このリセット状態においては、シフトレジスタ42の出力は低レベルであり、走査パルスSG₁～SG_nも低レベルである。従って行電極OG₁～OG_nに接続されているスイッチング素子はオフ状態であり、列電極46の出力が発生しても表示装置には電圧が印加されない。

制御回路45は所定時間T例えば少なくとも100μsec経過すると制御信号LowQが低レベルになる。ここで、この所定時間Tは表示装置の回路例えば制御回路45の動作が電源投入時の不安定な状態を脱し安定な動作状態に入るに必要な時間を考慮して定められるものであって上記時間に限

SG_nを発生する。

こうして、表示装置には、表示装置の回路例えば制御回路45の動作が電源投入時の不安定な状態を脱して安定な状態になって後、列電極駆動回路46の出力が印加されるため、正規の信号が印加されることになり、この信号が液晶層に保持される。ここで、走査信号の繰り返し周期は約 $\frac{1}{30}$ 又は $\frac{1}{60}$ sec程度であり、しかも列電極駆動回路46の出力はこの周期毎に電圧の極性が反転されるので、液晶層には長時間極性の片寄った電圧が印加保持されることがなくなる。

上記制御回路45は、電源投入後所定時間走査パルスの発生を休止させるための制御信号LowQを発生する手段を含んだものである。従って、従来の制御回路において電源投入後所定時間走査パルスの発生を休止させるための休止制御用回路を付加することによって実現できる。このような回路は基本的には電源の投入時に計時動作を開始し、所定時間T経過後に出力を発生する計時回路とし、この出力を上記制御信号として利用しても

定されるものではない。

制御信号LowQが低レベルになるとシフトレジスタ42は、スタートパルスSPS、クロック信号CLSにตอบสนองする状態になる。従って、スタートパルスSPSの入力後、クロック信号CLSを受けるとシフトレジスタ42の走査信号SG₁が第2図に示すように高レベルのパルス(走査パルス)を発生する。なお、スタートパルスSPSは走査の開始点を規定するためのものである。この走査パルスにより行電極OG₁に接続されているスイッチング素子をオン状態とし、列電極駆動回路46より出力された信号に関連して1行目の表示検波が表示する。

その後クロックパルスCLSが発生する毎に順次走査信号SG₁、…、SG_nが第2図に示すような高レベルのパルスを発生し、その結果、一面面分の表示を終了する。

この後、シフトレジスタ42は制御回路45よりスタートパルスSPS、クロック信号CLSを入力され、上記と同様にして走査信号SG₁～

良い。

この電源投入後所定時間走査パルスの発生を休止させるための休止用回路の例について、以下に説明する。第8図は本発明の表示装置の駆動回路における要部である上記休止制御用回路のブロック図を示す。

表示装置の安定化電源回路の出力は抵抗61を介してコンデンサ62に供給されるように構成されている。このコンデンサ62の抵抗61側の端子は入力バッファ66を介してフリップフロップ67、68の端子Rに接続されている。このフリップフロップ67は、端子Q₁が端子D₁に接続されると共にフリップフロップ68の端子CK₁に接続されている。フリップフロップ68は、端子Q₂が端子D₂に接続されると共にラッチ回路69の一方の入力端子t₁に接続される。このラッチ回路69は2個のNANDゲートを相互に一方の出力を他方の入力に接続して構成されている。このラッチ回路69は、他方の入力端子t₂が入力バッファ66の出力側に接続され、出力端子t₂

がバッファ70に接続されている。これらのバッファ66からバッファ70迄の回路はC-MOSで作られたLSI68中に形成されている。このフリップフロップ67の端子CK₁には信号FRが供給される。上記バッファ70の出力端子は行電駆動回路41を形成するシフトレジスタ42の端子Rに接続されている。このシフトレジスタ42は複数段のDフリップフロップ65から形成されており、1段目のフリップフロップの端子Qが次段のフリップフロップ65の端子Dに接続され、以下同様に相互に接続されている。1段目のフリップフロップ65の端子DにはスタートパルスSPSが供給され、各フリップフロップ65は端子CK₁にはクロックパルスCKLが供給され、端子Qの出力信号が走査信号として出力されるよう形成されている。

上記回路の動作について、第4図を参照しながら説明する。

表示装置の直流安定化電源回路をスイッチにて投入すると、当該電源回路の出力として信号S₁

が得られる。この信号S₁により抵抗62を介してコンデンサ61が充電され、コンデンサ61の抵抗62側の端子には信号S₂が得られる。この信号S₂はバッファ66を通過後信号S₃の波形となる。ここで信号S₂がバッファ66のスレッショールド電圧V_{th}のレベルになると信号S₂が高レベルになる。そして、この信号S₂はコンデンサ61の容量47μF、抵抗62の抵抗値10kΩで定まる時定数に応じてコンデンサ61に充電される電圧波形を示し、信号S₂が高レベルになるのは電源投入後約47μsec後となる。即ち、約47μsec遅延された信号が得られる。

フリップフロップ67の端子CK₁には信号S₂が供給されており、この信号S₂はその低レベルで高レベルと低レベルを繰り返し、その周期が66.6msecである。信号S₂が供給されているフリップフロップ67とフリップフロップ68には端子R₁、R₂に信号S₂が供給されており、端子Q₁、Q₂にはそれぞれ信号S₃、S₄が得られる。この信号S₃と信号S₄を入力とするラ

ッチ回路69の出力がバッファ70を通過し、信号S₅が得られる。

さて、電源投入直後では、信号S₂が低レベルであり、このためフリップフロップ67、68がいずれもリセット状態にあり、信号S₃、S₄は共に高レベルである。このとき、ラッチ回路69は低レベルの信号S₂が入力されているため、ラッチ回路69の出力が高レベルであり、信号S₅が高レベルとなっている。

時間T₁（約47msec）後、コンデンサ62への充電によって信号S₂がバッファ66のスレッショールドレベルV_{th}に達し信号S₂が高レベルになると、フリップフロップ67、68のリセット状態が解除される。ここで、ラッチ回路69では端子の信号S₂が高レベルになるがその出力は高レベルを維持する。

その後フリップフロップ67の端子CK₁の入力である信号S₂が高レベルになるとフリップフロップ67が反転し、端子Q₁の出力である信号S₃が低レベルになる。この低レベルの信号S₃

がフリップフロップ67の端子Dとフリップフロップ68の端子CK₁に輸入される。このとき、フリップフロップ68は端子CK₁に立下りの信号として作用し、フリップフロップ68は反転しないためラッチ回路69の出力は変化しない。

その後66.6μsec経過し、信号S₂が低レベルから高レベルに変化すると、フリップフロップ67が反転し、端子Q₁の出力である信号S₃が低レベルから高レベルへと変化する。この信号S₃のレベルの変化によりフリップフロップ68が反転し、端子Q₂の出力である信号S₄が高レベルから低レベルへ変化する。この低レベルの信号S₄がラッチ回路69に輸入され、ラッチ回路69が反転し、その出力である信号が低レベルになり、従ってバッファ70の出力である信号S₅が低レベルになる。

このようにして信号S₅は、電源投入直後から高レベルである時間は、少なくとも上記時間T₁（約47msec）と信号S₂の周期（66.6msec）の期間である。

この信号 S_1 は、シフトレジスタを構成するDフリップフロップ68の端子Rにリセット信号として入力されるため、この信号 S_1 が高レベルの間シフトレジスタはリセット状態にあり、走査パルスが出力されることはない。なお、信号 S_1 が低レベルになった後、スタートパルスCLSが1段目のフリップフロップ68に供給され、更にクロックパルスCLSが供給されると走査パルスが1段目のフリップフロップ68の端子Qから発生し、走査が開始し、更にクロックパルスCLSの発生毎に2段目のフリップフロップ、8段目のフリップフロップの順に後段の端子Qから走査パルスが発生する。ここで、スタートパルスSPSは縦同期信号Syにおける垂直同期信号を¹検出し更にその後の水平同期信号を所定数計数した時点で発生するように構成することができる。そしてシフトレジスタ42の端子Qの出力側にインバータ回路を設けて端子Qの出力の高低を反転できる。

上記実施例においては、行電極駆動回路のシフ

トレジスタを所定時間リセット状態にすることにより走査パルスの発生を休止させる例について説明したが、この他にシフトレジスタのセット入力を制御する方法、例えばスタートパルスSPSの入力系にゲート回路を設け、当該ゲート回路を上記信号 S_1 に²応答して所定時間経過前はオフ状態とし、所定時間経過後はオン状態とするよう制御すること等、³信号の変更が可能である。

<発明の効果>

本発明の表示装置の駆動回路によれば、電源投入時の不安定な信号が表示パネルに入力されるのを防止するため、表示装置に不安定な信号が印加されることによる劣化、例えば液晶材料の劣化を防止することができ、ひいては表示装置の高寿命化に寄与する。

4. 図面の簡単な説明

第1図は本発明の表示装置の駆動回路の実施例のブロック図を示し、第2図はこの実施例の動作を説明する各部の波形を示すタイミングチャートであり、第3図はこの実施例の要部のブロック図

を示し、第4図はこの要部の動作を説明する各部の波形を示すタイミングチャートであり、第5図はアクティブマトリクス型液晶表示パネルの等価回路を示し、第6図はこの表示パネルの駆動のための動作を説明する各部の波形を示すタイミングチャートであり、第7図は当該駆動のための従来の表示装置の駆動回路のブロック図を示す。

1、44：表示パネル、11：行電極、18：表示線路、14：スイッチング素子、81、41：行電極駆動回路、88、45：制御回路、67、68：フリップフロップ、69：ラッチ回路。

代理人 弁理士 梅田 昭(他2名)

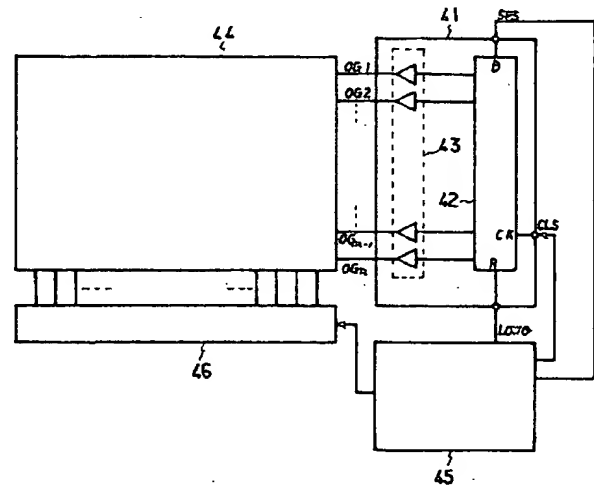
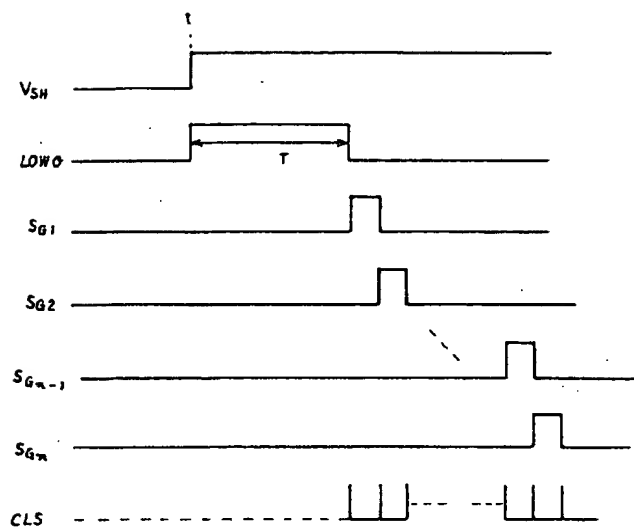
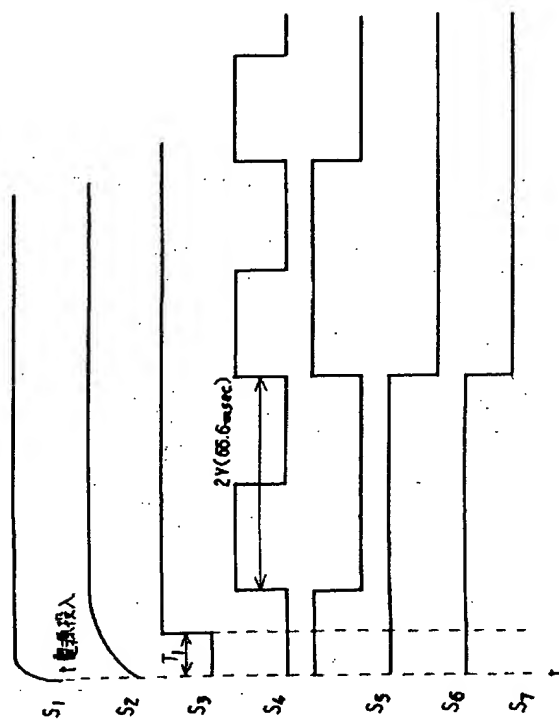


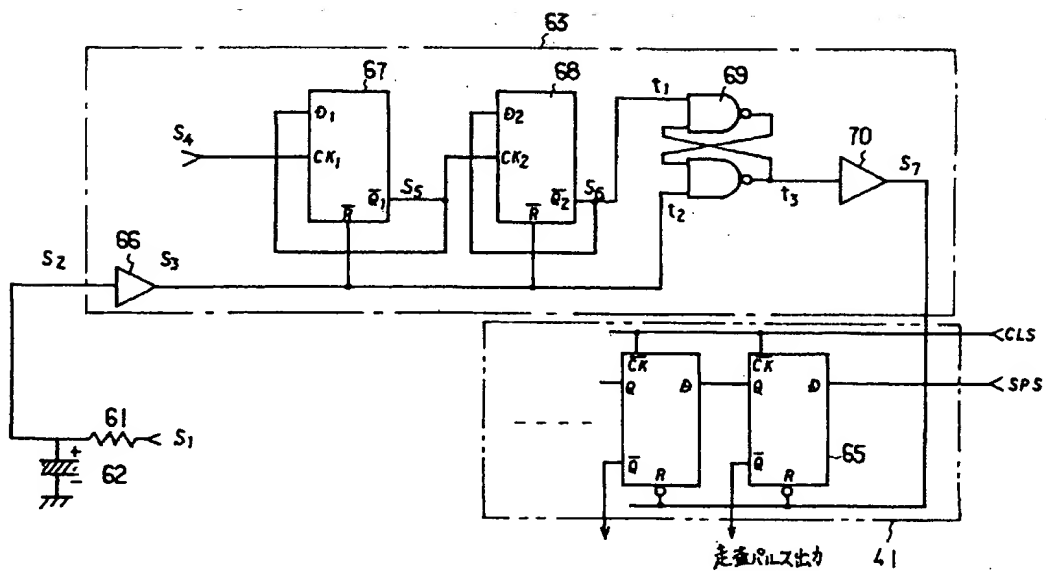
図1



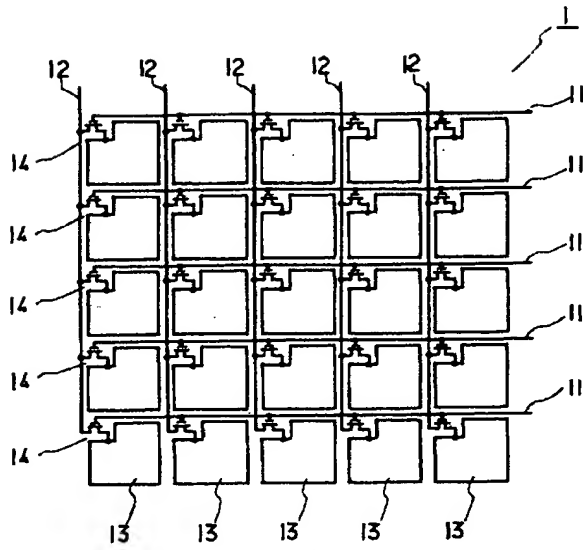
第2図



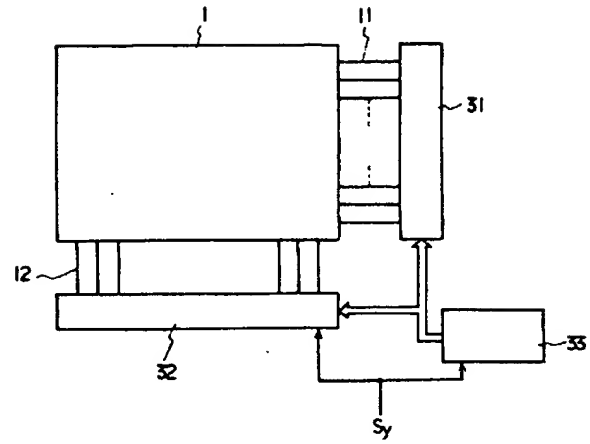
第4図



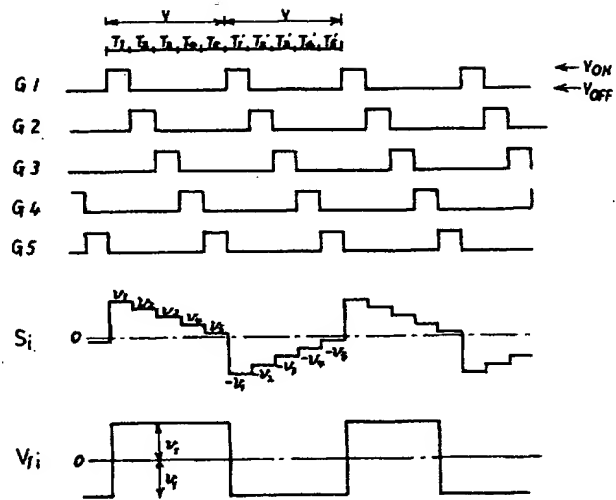
第3図



第5図



第7図



第6図